

Original document

# SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

Publication number: JP2001060658

Publication date: 2001-03-06

Inventor: SHIBATA KAZUTAKA

Applicant: ROHM CO LTD

Classification:

- international: **H01L23/12; H01L21/60; H01L23/28; H01L25/065; H01L25/07; H01L25/18; H01L23/12; H01L21/02; H01L23/28; H01L25/065; H01L25/07; H01L25/18; (IPC1-7): H01L25/065; H01L21/60; H01L23/12; H01L23/28; H01L25/07; H01L25/18**

- European:

Application number: JP19990235620 19990823

Priority number(s): JP19990235620 19990823

[View INPADOC patent family](#)

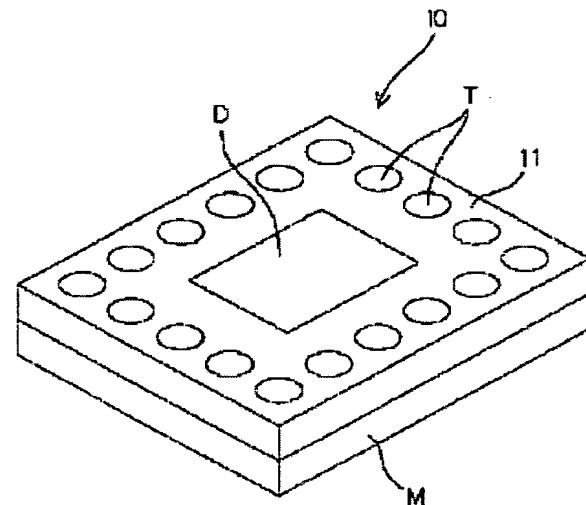
[View list of citing documents](#)

[Report a data error here](#)

## Abstract of JP2001060658

**PROBLEM TO BE SOLVED:** To provide a thin-type semiconductor device of chip-on-chip structure.

**SOLUTION:** A slave chip D is joined on the surface of a master chip M facing downward. Protrudent electrodes T protruding from the surface of the master chip M are provided around the slave chip D. The surface of the master chip D, where the heads of the protrudent electrodes T are exposed, is sealed up with a protective resin 11. This semiconductor device 10 of chip-on-chip structure can be manufacturing through a method where slave chips D are joined on the surface of a semiconductor wafer in a facedown mounting manner, protrudent electrodes T are formed, the surface of the semiconductor wafer is sealed up with the protective resin 11, and then the wafer is divided. After the surface of a wafer is sealed up with a protective resin 11, the protective resin is ground, by which the heads of the protrudent electrodes T can be made to expose surely. The rear surface of a wafer or the rear surface of a slave chip D is ground as necessary, by which a semiconductor device can be more reduced in thickness.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-60658

(P2001-60658A)

(43) 公開日 平成13年3月6日 (2001.3.6)

(51) Int.Cl.<sup>7</sup>  
H 01 L 25/065  
25/07  
25/18  
21/60  
23/12

識別記号  
3 1 1

F I  
H 01 L 25/08  
21/60  
23/28  
23/12

テ-マコード<sup>\*</sup> (参考)  
Z 4 M 1 0 9  
3 1 1 S 5 F 0 4 4  
A  
L

審査請求 未請求 請求項の数 4 OL (全 5 頁) 最終頁に続く

(21) 出願番号 特願平11-235620

(22) 出願日 平成11年8月23日 (1999.8.23)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 柴田 和孝

京都市右京区西院溝崎町21番地 ローム株式会社内

(74) 代理人 100087701

弁理士 稲岡 耕作 (外2名)

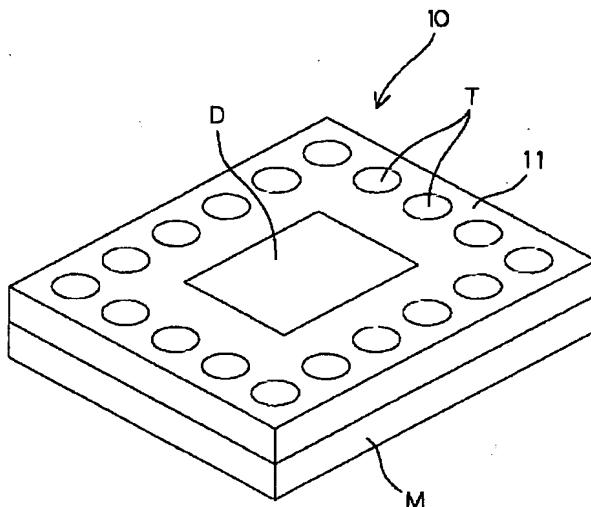
F ターム (参考) 4M109 AA01 BA03 DA04 DB17 FA01  
5F044 KK05 KK11 KK16 LL01 RR18

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 チップ・オン・チップ構造の薄型半導体装置を提供する。

【解決手段】 親チップMの表面に、子チップDがフェースダウンで接合されている。子チップDの周囲には、親チップDの表面から突出して形成した突起電極Tが設けられている。親チップDの表面は、突起電極Tの頭部を露出させた状態で、保護樹脂11で封止されている。このチップ・オン・チップ構造の半導体装置10は、半導体ウエハの表面に複数の子チップDをフェースダウンで接合し、突起電極Tを形成した後に、保護樹脂11でウエハの表面を封止し、その後に、ウエハを切断することによって、製造できる。保護樹脂11による封止の後に、保護樹脂11を研削すれば、突起電極Tの頭部を確実に露出させることができる。ウエハの裏面または子チップDの裏面を必要に応じて研削すれば、さらに薄型化できる。



## 【特許請求の範囲】

【請求項1】第1の半導体チップと、この第1の半導体チップの表面に接合された第2の半導体チップと、前記第1の半導体チップの表面に形成され、外部との接続のための突起電極と、前記突起電極の頭部を露出させた状態で上記第1の半導体チップの表面を封止する保護樹脂とを含むことを特徴とする半導体装置。

【請求項2】半導体基板の表面に、複数の半導体チップを、それらの活性表面を前記半導体基板の表面に対向させたフェースダウン状態で接合するチップ接合工程と、前記半導体基板の表面に複数の突起電極を形成する電極形成工程と、前記半導体チップおよび前記突起電極の形成後に露出する前記半導体基板の表面を、前記突起電極の頭部を露出させた状態で、保護樹脂で封止する樹脂封止工程と、前記半導体基板を予め定める切断ラインに沿って切断することにより、チップ・オン・チップ構造の半導体装置の個片を取り出す切り出し工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】前記樹脂封止工程は、前記保護樹脂の表層部を除去して前記突起電極の頭部を露出させる電極露出工程を含むことを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】前記電極露出工程は、前記保護樹脂と前記半導体チップの非活性表面側とを同時に研磨または研削するチップ研削工程を含むことを特徴とする請求項3記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、半導体チップ上に別の半導体チップを接合したチップ・オン・チップ構造の半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】チップ・オンチップ構造の半導体装置は、たとえば、図6に示すように、親チップ1の表面に子チップ2をフェースダウンで接合するとともに、親チップ2の裏面に外部接続電極3を設けた構造となっている。このようなチップ・オン・チップ構造は、素子の高集積化を図るうえで有利な構造であるが、親チップ1および子チップ2の厚さa, bのほかに、外部接続電極3の高さcが必要であり、全体の高さ(a+b+c)が比較的高くなるのが欠点である。

## 【0003】

【発明が解決しようとする課題】そこで、この発明の目的は、チップ・オン・チップ構造を有し、かつ、薄型化された半導体装置およびその製造方法を提供することである。

## 【0004】

【課題を解決するための手段および発明の効果】上記の目的を達成するための請求項1記載の発明は、第1の半導体チップと、この第1の半導体チップの表面に接合された第2の半導体チップと、前記第1の半導体チップの表面に形成され、外部との接続のための突起電極と、前記突起電極の頭部を露出させた状態で上記第1の半導体チップの表面を封止する保護樹脂とを含むことを特徴とする半導体装置である。

【0005】この構成によれば、第1の半導体チップの表面に第2の半導体チップが接合され、そして、その同じ表面に突起電極が形成され、第1の半導体チップの表面は、突起電極の頭部を露出させた状態で保護樹脂で封止されている。したがって、第1の半導体チップの裏面側に外部接続電極を設ける場合に比較して、半導体装置全体の高さを低くすることができ、チップ・オン・チップ構造の薄型半導体装置を実現できる。

【0006】なお、突起電極の頭部は、保護樹脂と面になっていてもよいし、保護樹脂の表面から突起電極の頭部が突出していてもよい。また、突起電極の頭部が露出している限りにおいて、突起電極の頭部が保護樹脂の表面よりも内方に陥没していてもよい。また、第2の半導体チップは、保護樹脂内に埋設されていてもよいし、その非活性表面や側面の一部が保護樹脂から露出していてもよい。

【0007】請求項2記載の発明は、半導体基板の表面に、複数の半導体チップを、それらの活性表面を前記半導体基板の表面に対向させたフェースダウン状態で接合するチップ接合工程と、前記半導体基板の表面に複数の突起電極を形成する電極形成工程と、前記半導体チップおよび前記突起電極の形成後に露出する前記半導体基板の表面を、前記突起電極の頭部を露出させた状態で、保護樹脂で封止する樹脂封止工程と、前記半導体基板を予め定める切断ラインに沿って切断することにより、チップ・オン・チップ構造の半導体装置の個片を取り出す切り出し工程とを含むことを特徴とする半導体装置の製造方法である。

【0008】この方法により、請求項1記載の構造の薄型のチップ・オン・チップ型半導体装置を製造することができる。そして、この方法では、半導体基板の表面に複数の半導体チップを接合するとともに、複数の突起電極をその同じ表面に形成するようにしているので、半導体基板(半導体ウエハ)の状態で、チップの接合と電極の形成を行うことができ、その後に、チップ・オン・チップ構造の半導体装置の個片に切り出すことによって、複数個のチップ・オン・チップ型半導体装置を効率良く製造することができる。

【0009】半導体基板の表面は、保護樹脂で樹脂封止され、また、半導体チップはフェースダウンで半導体基板の表面に接合されるので、半導体基板または半導体チップの各表面(活性表面)の保護は十分である。したが

って、半導体基板とこれに搭載された半導体チップとの厚さの和に近い高さの薄型半導体パッケージが実現される。なお、必要であれば、切り出し工程よりも前に、半導体基板の裏面や半導体チップの裏面側（非活性表面側）をグラインダーなどで研磨または研削すれば、さらなる薄型化が達成される。

【0010】請求項3記載の発明は、前記樹脂封止工程は、前記保護樹脂の表層部を除去して前記突起電極の頭部を露出させる電極露出工程を含むことを特徴とする請求項2記載の半導体装置の製造方法である。この発明によれば、保護樹脂の表層部を除去して突起電極の頭部を露出させる工程が含まれることにより、突起電極を確実に露出させることができる。保護樹脂の表層部の除去は、グラインダーなどによる研削により行えばよいが、エッチングなどの他の手法を用いてもよい。

【0011】請求項4記載の発明は、前記電極露出工程は、前記保護樹脂と前記半導体チップの非活性表面側とを同時に研磨または研削するチップ研削工程を含むことを特徴とする請求項3記載の半導体装置の製造方法である。この発明によれば、保護樹脂と半導体チップの非活性表面とを同時に研磨または研削することにより、突起電極の頭部が確実に露出させられ、かつ、半導体チップの薄型化も図られる。

#### 【0012】

【発明の実施の形態】以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。図1は、この発明の一実施形態に係る半導体装置の構成を示す斜視図である。この半導体装置10は、親チップM（第1の半導体チップ）の表面（活性表面）に、子チップD（第2の半導体チップ）を、その表面（活性表面）を対向させたフェースダウン状態で接合したチップ・オン・チップ構造を有している。親チップMおよび子チップDは、たとえば、いずれもシリコンチップからなり、それぞれの表面には、トランジスタなどの能動素子、抵抗やコンデンサなどの受動素子および配線などが形成されている。

【0013】この実施形態においては、親チップMおよび子チップDは、いずれも、平面視において矩形形状に成形されていて、子チップDは、親チップMよりも、平面視において若干小さく成形されている。そして、子チップDの周囲の領域には、親チップMの表面（活性表面）に、外部接続電極としての突起電極（この実施形態では柱状の電極）Tが複数個形成されている。親チップMの表面において子チップDまたは突起電極Tが形成されていない領域は、保護樹脂（たとえばエポキシ樹脂など）11で樹脂封止されており、親チップMの表面の保護が図られている。子チップDの表面は、親チップMに対向しており、かつ、その側面が保護樹脂11で封止されていることにより、外部から保護されている。

【0014】この実施形態では、保護樹脂11、突起電極Tの頭部および子チップDの非活性表面は、面一をな

している。このような構成の半導体装置10は、親チップMと子チップDとの各厚さの和に近い高さを有する極めて薄型に作成することができるので、薄型のチップ・オン・チップ型半導体装置を実現することができる。図2は、上述のような半導体装置10の製造工程を工程順に示す断面図である。半導体基板としての半導体ウエハW（以下単に「ウエハW」という。）の表面（活性表面）Waには、塗化膜などからなる保護膜（パッシベーション膜）が形成されており、この保護膜には、外部との接続が必要な複数箇所において、内部配線のパッドが露出させられている。これらのパッド上には、図2(a)に示すように、複数の突起電極Tおよび複数のバンプBが形成される（電極形成工程）。突起電極Tは、外部接続用のパッド上に形成され、バンプBは、子チップDと接続すべきチップ間接続用のパッド上に形成される。突起電極TおよびバンプBは、いずれも同じ材料で形成することができ、たとえば、金などの耐酸化性金属で構成されることが好ましい。また、突起電極Tは、バンプBよりも高く形成されることが好ましい。

【0015】続いて、図2(b)に示すように、子チップDを、その表面（活性表面）DaをウエハWの表面Waに対向させてフェースダウンで接合した後に（チップ接合工程）、ウエハWの表面Wa、突起電極TおよびバンプBが保護樹脂11で樹脂封止される（樹脂封止工程）。このとき、突起電極Tの頭部および／または子チップDの裏面（非活性表面）Dbが保護樹脂11から露出するようにされてもよく、ウエハWの表面Waの露出部が保護樹脂11で覆われていればよい。

【0016】続いて、図2(c)に示すように、ウエハWの裏面（非活性表面）Wbがグラインダーを用いて研磨または研削され、さらなる薄型化が図られる。次に、保護樹脂11をグラインダーを用いて研磨または研削することにより、図2(d)に示すように、突起電極Tを露出させる（電極露出工程）。さらに研削位置が子チップDの非活性表面Dbに達した後には、保護樹脂11および子チップDの非活性表面Dbが同時に研磨または研削され（チップ研削工程）、子チップDおよび保護樹脂11がさらに薄型化される。

【0017】この後、図2(e)に示すように、スクライブラインL（切断ライン）に沿ってウエハWを保護樹脂11とともにダイシングソー15で切断することにより、ウエハWから切り出された親チップM上に子チップDが接合された、図1の構造の半導体装置10の個片が切り出される。なお、図2(c)の工程と図2(d)の工程とは、いずれが先に行われてもよく、また、不要であれば、図2(c)の工程は省かれてもよい。

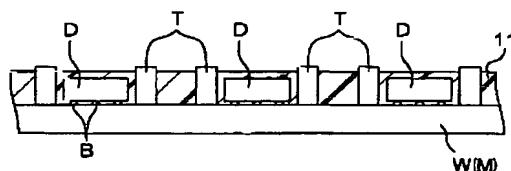
【0018】以上のようにこの実施形態の方法によれば、ウエハWから親チップMを切り出す前に子チップDの接合を行うようにしており、この子チップDが接合されるウエハWの表面Wa側に外部接続電極としての突起

電極Tを形成するようにしている。そして、保護樹脂11で表面Waが保護されたウエハWを切り出すことにより、パッケージ化されたチップ・オン・チップ構造の半導体装置10の個片が得られる。したがって、薄型のチップ・オン・チップ型半導体装置を効率的に生産することができる。

【0019】この発明の一実施形態について説明したが、この発明は他の形態で実施することも可能である。たとえば、上述の実施形態では、保護樹脂11、突起電極Tおよび子チップDの非活性表面Dbが面一になるようにしているが、図3に示すように、突起電極Tの頭部が保護樹脂11の表面から突出していてもよいし、図4に示すように、保護樹脂11の表面から子チップDの非活性表面Db側が突出していてもよい。図3または図4の構造は、たとえば、保護樹脂11を十分に薄く形成することにより作製可能である。この場合に、突起電極Tの頭部に保護樹脂11が付着するおそれがあれば、グライダーなどによる研磨または研削やエッティングによって、突起電極Tの頭部に付着した保護樹脂を除去すればよい。

【0020】また、上記の実施形態では、突起電極Tが子チップDの非活性表面Dbよりも高く形成される例について説明したが、図5に示すように、突起電極Tの高さは、子チップDの非活性表面Dbよりも低くても構わない（たとえば、100μm未満）。この場合でも、裏面研削（実線の位置まで研削）および表面研削（二点鎖線の位置まで研削）の両工程を経た後には、上述の第1の実施形態の場合と同様な構造を得ることができる。そして、突起電極Tの高さを低くしておくことにより、突起電極Tの形成を短時間で容易に行うことができ、また、材料も削減できるので、生産性を向上でき、かつ、コストの低減に寄与できる。ただし、子チップDと突起電極Tとを同時研削して、これらの表面を面一にするためには、始めに形成される突起電極Tの高さは、子チップDの活性表面Daよりも高くしておくことが好ましい。

【図3】



【0021】また、上記の実施形態では、1つの親チップMに1つの子チップDが接合される例について説明したが、1つの親チップMに2つ以上の子チップDが接合されてもよい。さらに、上述の実施形態では、突起電極Tは、柱状のものとしたが、バンプ形状のものであっても構わない。また、上述の実施形態では、親チップMと子チップDとは、いずれもシリコン半導体からなっていることとしたが、シリコンの他にも、ガリウム砒素半導体やゲルマニウム半導体などの他の任意の半導体材料を用いた半導体チップをこの発明の半導体装置に適用することができる。この場合に、親チップMと子チップDとの半導体材料は、同じでもよいし異なるてもよい。

【0022】その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

#### 【図面の簡単な説明】

【図1】この発明の一実施形態に係る半導体装置の構成を示す斜視図である。

【図2】上記半導体装置の製造方法を工程順に示す断面図である。

【図3】この発明の他の実施形態に係る半導体装置の構成を示す断面図である。

【図4】この発明のさらに他の実施形態に係る半導体装置の構成を示す断面図である。

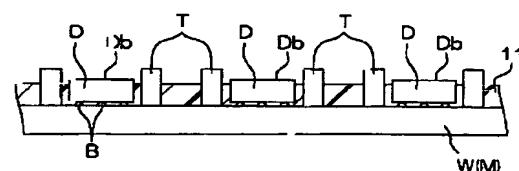
【図5】この発明のさらに他の実施形態に係る半導体装置の製造工程を説明するための断面図である。

【図6】従来のチップ・オン・チップ型半導体装置の構造を説明するための図解図である。

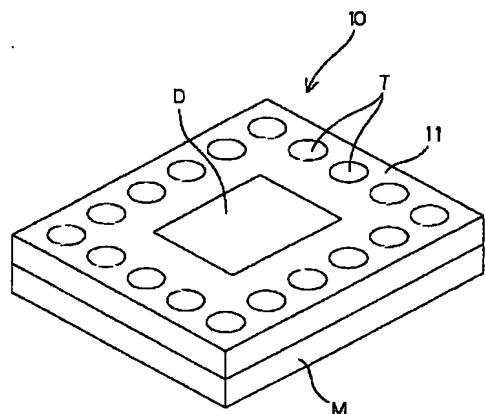
#### 【符号の説明】

10	半導体装置
11	保護樹脂
M	親チップ
D	子チップ
T	突起電極
B	バンプ
W	半導体ウエハ
L	スライブライン

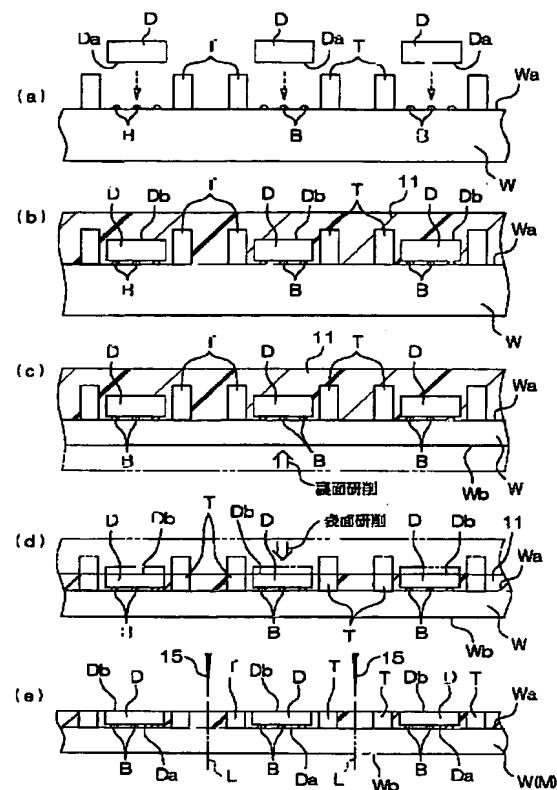
【図4】



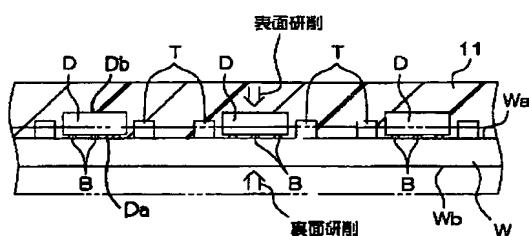
【図1】



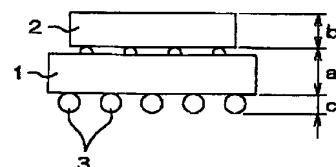
【図2】



【図5】



【図6】



フロントページの続き

(51) Int.C1.7  
H 01 L 23/28

識別記号

F I

(参考)